

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2003086539
PUBLICATION DATE : 20-03-03

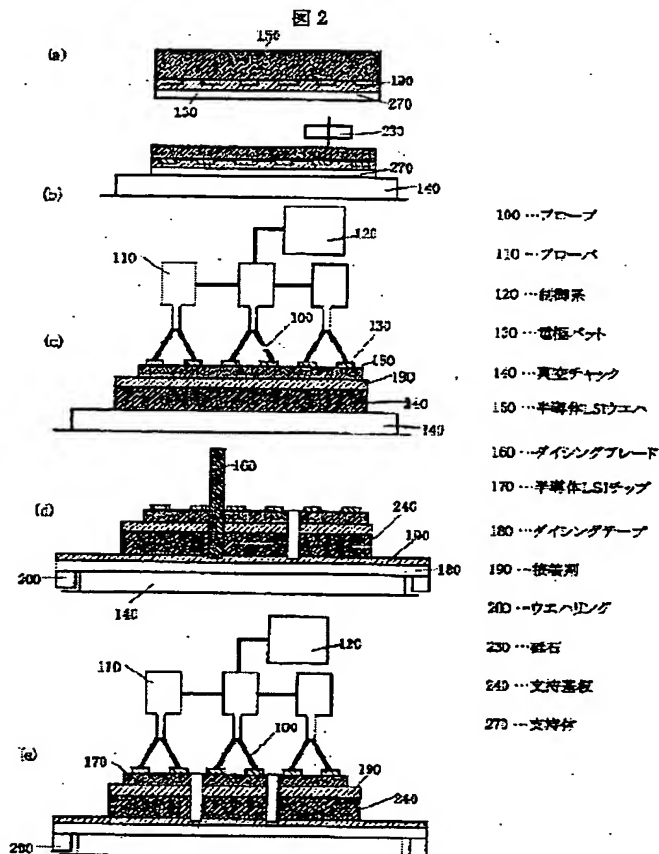
APPLICATION DATE : 07-09-01
APPLICATION NUMBER : 2001271538

APPLICANT : HITACHI LTD;

INVENTOR : YAMAZOE TAKANORI;

INT.CL. : H01L 21/301 H01L 21/02

TITLE : MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device which reduces chips and cracks when a chip is separated from a thin film LSI wafer and reduces breakage when it is removed from a dicing tape.

SOLUTION: In the manufacturing method of a semiconductor device, a semiconductor LSI wafer 150 wherein a semiconductor element is formed is ground from a rear, the ground semiconductor LSI wafer 150 is applied to a support substrate 240, the semiconductor LSI wafer 150 applied to the support substrate 240 is diced and each semiconductor LSI chip 170 is separated. It is preferable that the properties of each semiconductor element be evaluated before and after separation.

COPYRIGHT: (C)2003,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-86539

(P2003-86539A)

(43) 公開日 平成15年3月20日 (2003.3.20)

(51) Int.Cl.⁷

H 0 1 L 21/301

21/02

識別記号

F I

H 0 1 L 21/02

21/78

ターマコト* (参考)

B

Q

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号

特願2001-271538(P2001-271538)

(22) 出願日

平成13年9月7日 (2001.9.7)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 田勢 隆

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 佐藤 朗

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100068504

弁理士 小川 勝男 (外2名)

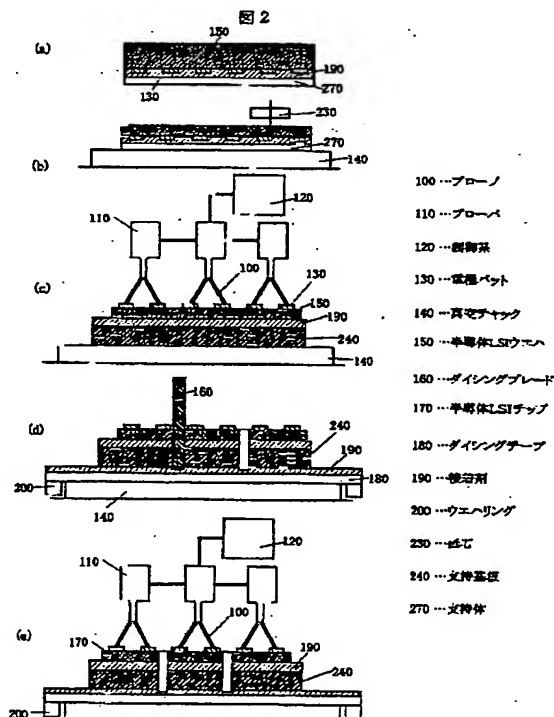
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 薄膜LSIウエハからチップを分離する際の欠けや亀裂が減少し、ダイシングテープから取り外すときの破損が少ない半導体装置の製造方法を提供すること。

【解決手段】 半導体素子の形成された半導体LSIウエハ150を裏面から研削し、研削された半導体LSIウエハ150を支持基板240に被着し、支持基板240に被着した半導体LSIウエハ150をダイシングし、各半導体LSIチップ170を分離するようにした半導体装置の製造方法。分離の前と後で各半導体素子の特性を評価することが好ましい。



【特許請求の範囲】

【請求項1】半導体素子の形成された半導体ウエハを裏面から研削する第1工程、上記研削された半導体ウエハを支持基板に被着する第2工程、上記支持基板に被着した半導体ウエハをダイシングし、各半導体装置を分離する第3工程を有することを特徴とする半導体装置の製造方法。

【請求項2】上記第3工程の後に、上記分離された半導体装置内の半導体素子の特性を評価する第4工程を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】上記第2工程と第3工程の間に、上記半導体素子の特性を評価する工程を有することを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】上記研削された半導体ウエハの厚さは、1～200ミクロンであることを特徴とする請求項1から3の何れかに記載の半導体装置の製造方法。

【請求項5】上記支持基板の厚さは、上記研削された半導体ウエハの厚みより厚いことを特徴とする請求項1から4の何れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体ウエハから半導体装置を製造する方法に関する。

【0002】

【従来の技術】従来の半導体装置の製造方法については、例えば、特開平7-288270号公報に記載されている。この製造方法を図1を用いて説明する。シリコン基板上に半導体素子が形成されている半導体LSIウエハ150を真空チャック140に吸着固定する。次に、制御系120でコントロールしながらプローブ110を移動させてプローブ100を半導体素子に形成されている電極パッド130に接触させて半導体素子の動作を確認する(図1(a))。次に、ウエハリング200に取り付かれたダイシングテープ180の接着剤190が設けられた側に、半導体LSIウエハ150の半導体素子が形成されていない面を貼り付けた後、真空チャック140に吸着固定し、ダイシングブレード160を用いて個々の半導体LSIチップ170に分離する(図1(b))。次に、ダイシングテープ180の接着剤190を、例えば、加熱して接着力を弱め、個々に分離された半導体LSIチップ170を真空ピンセット210を用いて吸着し、チップトレイ220上に整列させる(図1(c))。

【0003】

【発明が解決しようとする課題】近年、1～200ミクロン程度の厚さの薄膜半導体LSIチップが用いられている。例えば、薄膜半導体LSIチップをカードに埋め込んだ、いわゆるICカード等が提案されている。上記従来技術は、このような薄膜半導体LSIチップの製造

については配慮されていなかった。まず、図1(a)に示したように、薄膜LSIウエハの動作確認を行なう際、ウエハを保持している状態は、剛性でないダイシングテープ上で固定されているため、動作確認をする度にウエハ内のデバイスに点圧荷重、曲げ荷重が係り、測定場所に荷重が集中して亀裂が発生してしまう。また、前記の保持状態でダイシング加工を行なうと、通常の厚い半導体ウエハ(厚み0.5mm)と比べて、ダイシング中に起こるダイシングブレードのブレの影響でチップ輪郭に欠けが多量発生してしまう。また、前記の加工方法で得られたチップの動作確認を行なうとダイシング中に発生した欠け部よりチップ内部に亀裂が入り、良好なチップ取得が困難であった。

【0004】本発明の目的は、薄膜LSIウエハからチップを分離する際の欠けや亀裂を減少させた半導体装置の製造方法を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置の製造方法は、半導体素子の形成された半導体ウエハを裏面から研削する第1工程、研削された半導体ウエハを支持基板に被着する第2工程、支持基板に被着した半導体ウエハをダイシングし、各半導体装置を分離する第3工程を設けるようにしたものである。

【0006】上記の第3工程の後に、分離された半導体装置内の半導体素子の特性を評価する第4工程を設けることが好ましい。特性の評価は、支持基板に被着した状態で或いは支持基板から分離して剛体上で行なうことが好ましい。また、上記の第2工程と第3工程の間にも半導体素子の特性を評価する工程を設けることが好ましい。また、研削された半導体ウエハの厚さは、1～200ミクロンであることが好ましい。

【0007】

【発明の実施の形態】〈実施例1〉図2は、本発明の第1の実施例の製造工程図である。まず、半導体LSIウエハ150上に積層された電極パッド130(図では半導体LSIウエハの下側)表面に支持体270の接着剤190側を貼り付ける(図2(a))。次に、真空チャック140に支持体270の接着剤190側と反対側を吸着固定後、半導体LSIウエハ150の裏面を砥石230で研削し(図2(b))、約200ミクロンの厚さとする。さらにスピンエッチングにより約50ミクロンの厚さとする。この厚さは1～200ミクロン程度が好ましく、30～100ミクロン程度がより好ましく、50～80ミクロン程度が最も好ましい。

【0008】次に、紫外線により接着剤190の接着力を弱め、支持体270を剥離する。一方、支持基板240表面に接着剤190を塗布し、先に研削した半導体LSIウエハ150の研削面側と支持基板240の接着剤190側を接着固定する。支持基板はアルミニウムより

も剛性があり、薄膜LSIウエハより厚い基板を使い、低価格で再利用が可能なガラス、シリコン基板、メタル等が用いられる。また、接着剤190は、熱、光、溶剤等で剥離可能な接着剤を使用する。次に、真空チャック140に吸着固定し、プローバ110を制御系120でコントロールしながら移動させてプローブ100を半導体LSIウエハ150の電極パット130の表面に接触させ、複数個同時に半導体LSIウエハ150の動作を確認する(図2(c))。次に、ウエハリング200に取り付けられたダイシングテープ180の接着剤190側に支持基板240の裏側を貼りつけた後、ダイシングテープ180を真空チャック140に吸着固定し、ダイシングブレード160を半導体LSIウエハ150表面上のスクライブラインに合わせて支持基板240も含めてフルカットダイシングする(図2(d))。

【0009】その後、真空チャック140を90度回転させて、もう一方にも同様にダイシングする。図6は、図2(d)の状態の平面図である。図2(d)に示す状態では、図6の縦方向にダイシングしているが、上述のように90度回転させて、図6の横方向にもダイシングする。なお、このダイシングは、支持基板240の厚みの途中まで加工するハーフカット法でもよい。次に、制御系120でコントロールしながらプローバ110を移動させ、支持基板240と一体化して分離された個々の半導体LSIチップ170の電極パット130にプローブ100を接触させて分離後の半導体LSIチップ170の動作を確認する(図2(e))。

【0010】上記の製造工程を行なうことにより、チップ厚みが薄膜でも支持基板と一体化されているため、ダイシングによって分離されても欠け、亀裂が防止できる。それで、プローブによる測定の際に電極パット部に集中荷重が係ってもチップ内にストレスが残っておらず、チップが破壊することなく、安定性良く動作確認ができる。また、分離後の支持基板は、低価格、無公害で再利用が可能であるため材料費の削減にもつながる。

【0011】〈実施例2〉図3は、本発明の第2の実施例の製造工程図である。まず、半導体LSIウエハ150の電極パット130表面にレジスト250を塗布し、90℃に設定された乾燥炉に入れてレジスト250を乾燥させる。レジスト250に代えるものとして、酸化ケイ素、シリコンナイトライド、ポリイミド等を用いることもできる。その後、支持体270の接着剤190側に半導体LSIウエハ150表面に塗布されたレジスト250面を貼りつける(図3(a))。次に、真空チャック140に吸着固定後、半導体LSIウエハ150の裏面を砥石230で研削する(図3(b))。次に、支持基板240表面に接着剤190を塗布し、研削された半導体LSIウエハ150から、実施例1と同様にして支持体270を接着剤190を除き、半導体LSIウエハ150の裏面を支持基板240に塗布された接着剤190

0側に接着させる。次に、真空チャック140に吸着固定し、制御系120でコントロールしながらプローバ110を移動させてプローブ100を半導体LSIウエハ150の電極パット130表面に接触させて複数個同時に半導体LSIウエハ150の動作を確認する(図3(c))。

【0012】次に、ウエハリング200に取り付けられたダイシングテープ180の接着剤190側に支持基板240の裏側を貼りつけた後、ダイシングテープ180を真空チャック140に吸着固定し、レジスト250を所定のパターンとし、レジスト250のパターンをマスクにドライエッチング用のガス260で半導体LSIウエハ150をエッチングすることにより、半導体LSIチップ170の輪郭に亀裂、欠け等が生じない半導体LSIチップ170を得ることできる(図3(d))。その後、支持基板240をダイシングテープ180から取り外し、真空チャック140に吸着固定し、プローバ110を制御系120でコントロールしながら移動させ、プローブ100を分離された個々の半導体LSIチップ170の電極パット130表面に接触させて半導体LSIチップ170の動作を確認する(図3(e))。

【0013】上記の製造工程を行なうことにより、チップ厚みが薄膜でも支持基板と一体化されているため、ダイシングによって分離されても欠け、亀裂が防止できる。それで、プローブによる測定の際に電極パット部に集中荷重が係ってもチップ内にストレスが残っていないのでチップが破壊することなく、安定性良く動作確認ができる。また、分離後の支持基板は、低価格、無公害で再利用が可能であるため材料費の削減にもつながる。

【0014】〈実施例3〉図4は、本発明の第3の実施例の製造工程図である。第1の実施例と同様にして裏面を砥石で研削した半導体LSIウエハ150を支持基板240の接着剤190側を接着固定し、半導体LSIウエハ150の動作を確認し、図2(d)に示したようにダイシングテープ180上でフルカットダイシングする(図4(a))。その後、真空チャック140を90度回転させて、もう一方にも同様にダイシングする。さらに図2(e)に示したと同様にして、分離後の半導体LSIチップ170の動作確認を複数個同時に行なう(図4(b))。

【0015】次に、個々に分離され、支持基板と一体化された半導体LSIチップ170の電極パット130側を真空ピンセット210で吸着し、ダイシングテープ180の粘着剤190上から取り外す(図4(c))。その後、取り外した半導体LSIチップ170の支持基板240側を別の真空ピンセット210で吸着し、PET材280上に接着固定された異方導電性接着剤290に半導体LSIチップ170の電極パット130面側を接着と同時に真空ピンセットに熱を伝え、支持基板と一体化となっている接着剤の粘着力を緩和させて半導体LSI

チップと接着剤190を分離させる(図4(d))。

【0016】その後、上下のPET材を張り合わせてカード構造にすることで、薄くて曲げに強くPET材表面には凹凸がなく、平坦に接着されたシンプルな構造であるカードを製造できた。

【0017】上記の製造工程を行なうことにより、チップ厚みが薄膜でも支持基板と一体化されているため、ダイシングによって分離されても欠け、亀裂が防止できる。それで、プローブによる測定の際に電極パッド部に集中荷重が係ってもチップ内にストレスが残っていないのでチップが破壊することなく、安定性良く動作確認ができる。また、分離後の支持基板は、低価格、無公害で再利用が可能であるため材料費の削減にもつながる。また、支持基板と一体化されているため、破損することなく任意の場所へ移動できる。さらに、支持基板より剥離することが可能なため、薄くて、曲げに強く平坦性が向上したシンプルな構造のICカードが得られる。

【0018】〈実施例4〉図5は、本発明の第4の実施例の製造工程図である。第1の実施例と同様にして裏面を砥石で研削した半導体LSIウエハ150を支持基板240の接着剤190側を接着固定し、半導体LSIウエハ150の動作を確認し、図2(d)に示したようにダイシングテープ180上でフルカットダイシングする(図5(a))。その後、真空チャック140を90度回転させて、もう一方にも同様にダイシングする。さらに図2(e)に示したと同様にして、分離後の半導体LSIチップ170の動作確認を複数個同時に行なう(図5(b))。

【0019】次に、個々に分離され、支持基板と一体化された半導体LSIチップ170の電極パッド130側を真空ピンセット210で吸着し、その状態で真空ピンセット210に熱をかけることによって接着剤190の粘着効果を低下させて接着剤190と半導体LSIチップ170を分離させる(図5(c))。次に、剛性があり、表面に凹部を持つチップトレイ220に分離された半導体LSIチップ170を入れた後、複数個同時に測定可能なプローバ110を用いて剥離後の動作確認を行なう(図5(d))。

【0020】上記製造工程を行なうことにより、ダイシ

ングテープ上で分離された状態から半導体LSIチップのみを取り外すことができるため、チップ内にストレスが残っておらず、測定する際のチップ破損がなくなり、歩留まりが向上し、高信頼性の半導体装置が得られる。

【0021】上記の製造工程を行なうことにより、チップ厚みが薄膜でも支持基板と一体化されているため、ダイシングによって分離されても欠け、亀裂が防止できる。それで、プローブによる測定の際に電極パッド部に集中荷重が係ってもチップ内にストレスが残っていないのでチップが破壊することなく、安定性良く動作確認ができる。また、分離後の支持基板は、低価格、無公害で再利用が可能であるため材料費の削減にもつながる。

【0022】

【発明の効果】以上に詳しく説明したように、本発明によれば、支持基板と一体となった半導体LSIウエハより半導体LSIチップを分離するので、分離された半導体LSIチップの輪郭部に欠け、亀裂が発生しにくいいため、プローブによる測定の際に電極パッド部に集中荷重が係ってもチップ内にストレスが残っておらず、チップが破壊することなく、安定性良く動作確認ができる。

【図面の簡単な説明】

【図1】従来方法を説明するための製造工程図。

【図2】本発明の第1の実施例の製造工程図。

【図3】本発明の第2の実施例の製造工程図。

【図4】本発明の第3の実施例の製造工程図。

【図5】本発明の第4の実施例の製造工程図。

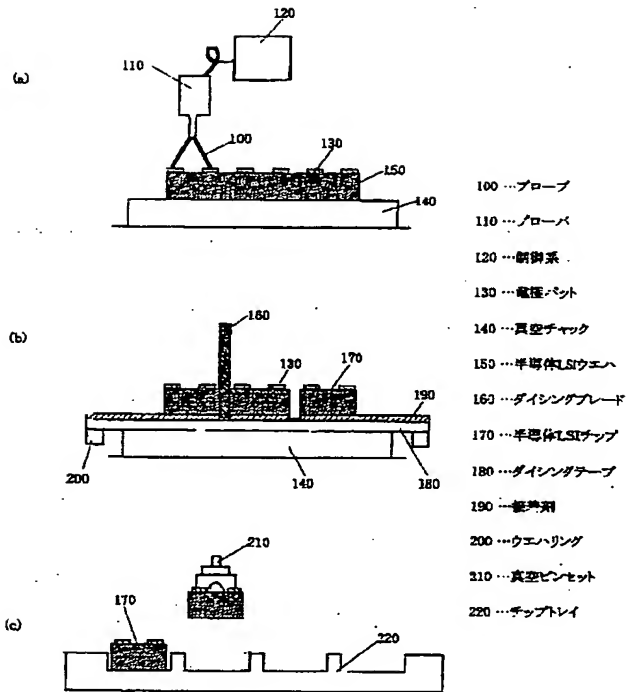
【図6】本発明の第1の実施例の図2(d)の状態の平面図。

【符号の説明】

100…プローブ、110…プローバ、120…制御系、130…電極パッド、140…真空チャック、150…半導体LSIウエハ、160…ダイシングブレード、170…半導体LSIチップ、180…ダイシングテープ、190…接着剤、200…ウエハリング、210…真空ピンセット、220…チップトレイ、230…砥石、240…支持基板、250…レジスト、260…ガス、270…支持体、280…PET材、290…異方導電性接着剤。

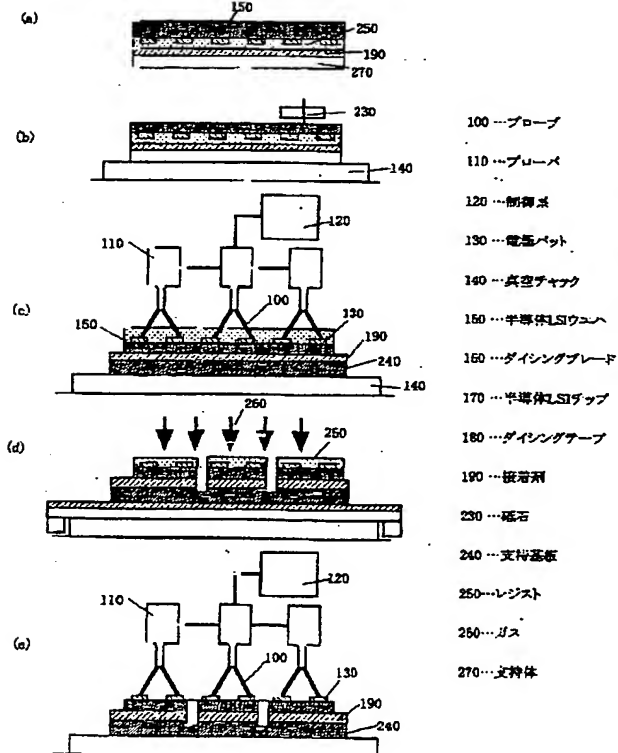
【図1】

図1



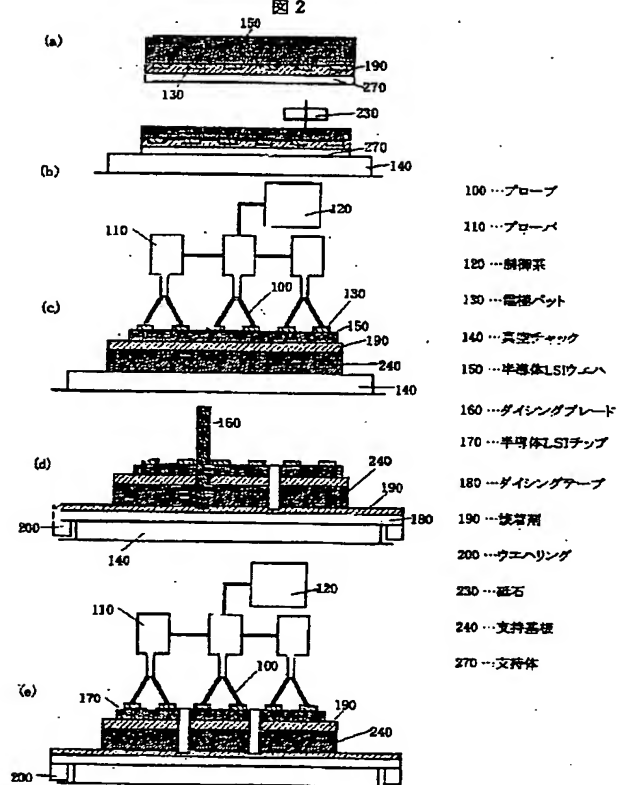
【図3】

図3



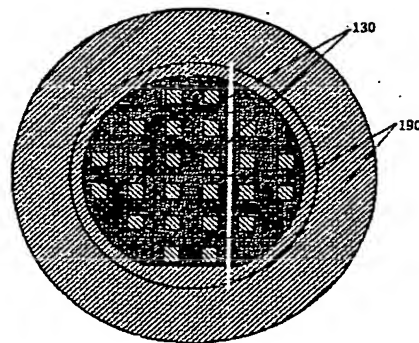
【図2】

図2

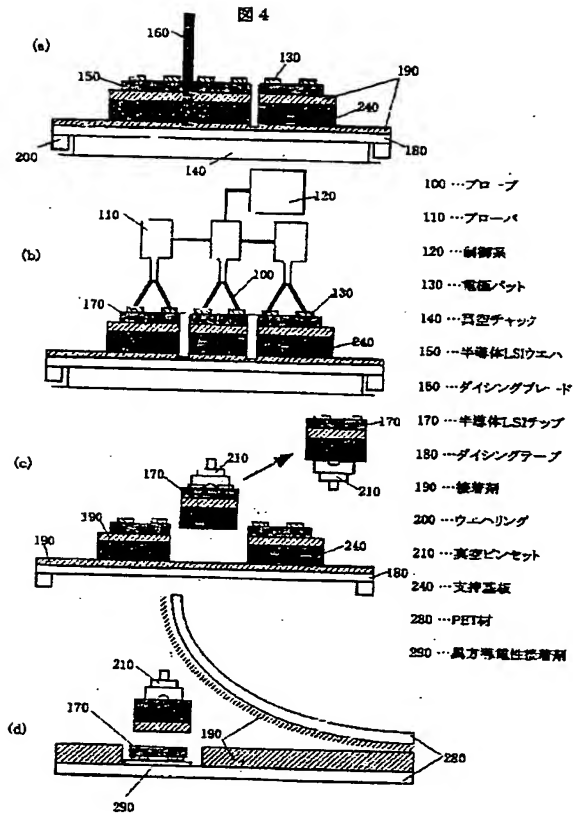


【図6】

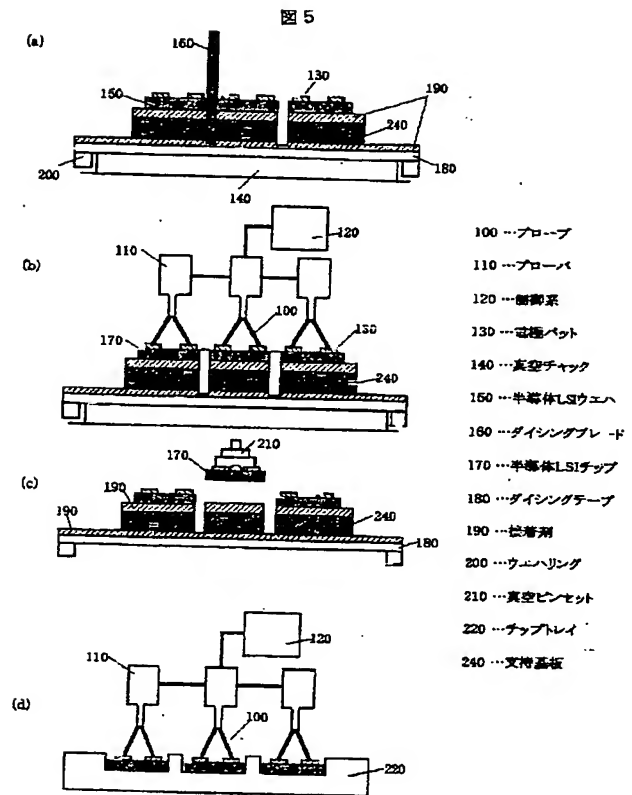
図6



【図4】



【図5】



フロントページの続き

(72)発明者 山添 孝徳
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内